

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-061645

(43)Date of publication of application : 12.03.1993

(51)Int.Cl.

G06F 7/50

(21)Application number : 03-253063

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 04.09.1991

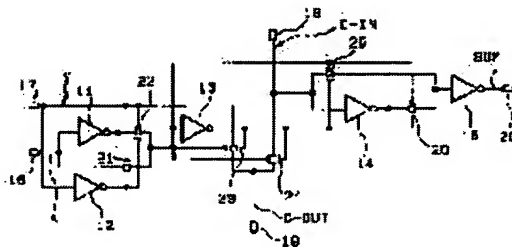
(72)Inventor : DOI YOSHIAKI

(54) BINARY ADDER

(57)Abstract:

PURPOSE: To increase the propagation velocity of a carry signal by constituting a binary adder of transmission gates shortened at their delays and reducing the number of pass gates.

CONSTITUTION: The adder is constituted of transmission gates 21, 22 controlled by either one of two binary adding inputs (x), (y), selecting either one of the one adding input and its inverted value and outputting the selected value as an intermediate sum value, transmission gates 23, 24 controlled by the intermediate sum value, selecting either one of a carry input C-IN and one adding input and outputting the selected value as a carry output C-OUT and transmission gates 25, 26 controlled by the intermediate sum value, selecting either one of the carry input C-IN and its inverted value and outputting the selected value as an added output SUM.



書誌

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平5-61645
(43)【公開日】平成5年(1993)3月12日
(54)【発明の名称】2進加算器
(51)【国際特許分類第5版】

G06F 7/50

K 9291-5B

【審査請求】未請求

【請求項の数】2

【全頁数】4

(21)【出願番号】特願平3-253063

(22)【出願日】平成3年(1991)9月4日

(71)【出願人】

【識別番号】000006655

【氏名又は名称】新日本製鐵株式会社

【住所又は居所】東京都千代田区大手町2丁目6番3号

(72)【発明者】

【氏名】土井 祥晃

【住所又は居所】相模原市淵野辺5-10-1 新日本製鐵株式会社エレクトロニクス研究所内

(74)【代理人】

【弁理士】

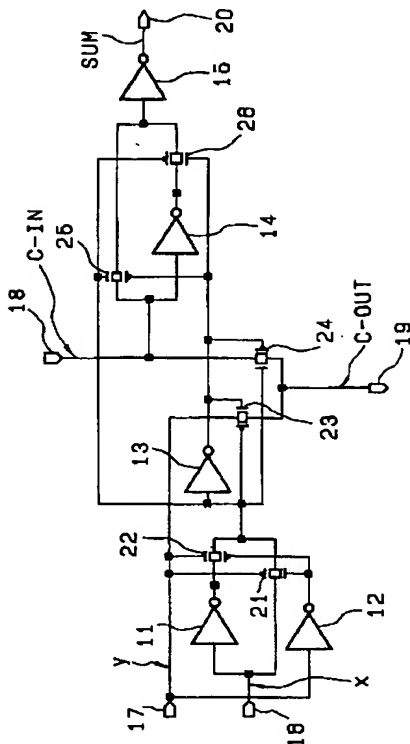
【氏名又は名称】國分 孝悦

要約

(57)【要約】

【目的】遅延の小さいトランスミッションゲートで2進加算器を構成し、かつ、通過ゲート段数を減らすことによって桁上げ信号の伝搬速度を速める。

【構成】2進数の2つの加算入力x、yの一方の値により制御されて、加算入力の一方とその反転値との何れか一方を選択して中間和値として導出するトランスミッションゲート21、22と、上記中間和値により制御されて、桁上げ入力C-INと上記加算入力の一方との何れかを選択して桁上げ出力C-OUTとして導出するトランスミッションゲート23、24と、上記中間和値により制御されて、桁上げ入力C-INとその反転値との何れか一方を選択して加算出力SUMとして導出するトランスミッションゲート25、26とにより加算回路を構成する。



請求の範囲

【特許請求の範囲】

【請求項1】 2進数の2つの加算入力と桁上げ入力とに基づいて加算出力を導出する2進加算器において、2つの加算入力値の一方とその反転値との何れか一方を選択して中間和値として導出するトランSMissionゲートと、上記中間和値により制御されて、桁上げ入力値と上記加算入力値の一方との何れか一方を選択して桁上げ出力値として導出するトランSMissionゲートとを備えることを特徴とする2進加算器。

【請求項2】 2進数の2つの加算入力値の一方の値により制御され、上記加算入力値の一方とその反転値との何れか一方を選択して中間和値として導出するトランSMissionゲートと、上記中間和値により制御されて、桁上げ入力値と上記加算入力値の一方との何れか一方を選択して桁上げ出力値として導出するトランSMissionゲートと、上記中間和値により制御されて、上記桁上げ入力値とその反転値との何れか一方を選択して加算出力値として導出するトランSMissionゲートとを備えることを特徴とする2進加算器。

詳細な説明

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば乗算器、ALU等の加算部分において加算演算を行うことが出来る半導体論理回路で構成された2進加算器に関するものである。

【0002】

【従来の技術】加算回路は、多数の半導体論理回路に用いられている基本的な回路である。従来の加算回路の構成は第2図で示すようにエクスクルーシブオアゲート1、5、アンドゲート2、4オアゲート3で構成されている。そして端子a、b、cからの入力信号は、各ゲート1、2・・・5を介して端子A、Bに出力される。ここで端子Aからは、桁上げ信号が出力される。しかし桁上げ信号を出力する端子Aに到達するまでにゲート1、ゲート2、ゲート3の順でゲートを3段も通らなければ桁上げ信号が確定しなかった。なおa、bは加算入力で、cは桁上げ入力であり、加算出力は端子Bに出力される。

【0003】

【発明が解決しようとする課題】従来の加算回路は、上記説明のごとく3段のゲートの通過により桁上げ信号が決定されていたため、桁上げ信号の伝搬遅延が大きいという問題があった。つまり互いに直列に接続して使用した際に桁上げ信号の伝搬遅延が加算回路の高速化を妨げていた。【0004】本発明は上述の問題に鑑みてなされたものであり、遅延の小さいトランスミッションゲートで回路を構成し、かつ、通過ゲート段数を減らすことによって桁上げ信号の伝搬速度を速めることを目的とする。

【0005】

【課題を解決するための手段】本発明は、2進数の2つの加算入力と桁上げ入力とに基づいて加算出力を導出する2進加算器において、2つの加算入力値の一方とその反転値との何れか一方を選択して中間和値として導出するトランスミッションゲートと、上記中間和値により制御されて、桁上げ入力値と上記加算入力値の一方との何れかを選択して桁上げ出力値として導出するトランスミッションゲートとを備えることを特徴とする。

【0006】また本発明の他の特徴による2進加算器は、2進数の2つの加算入力値の一方の値により制御されて、上記加算入力値の一方とその反転値との何れか一方を選択して中間和値として導出するトランスミッションゲートと、上記中間和値により制御されて、桁上げ入力値と上記加算入力値の一方との何れかを選択して桁上げ出力値として導出するトランスミッションゲートと、上記中間和値により制御されて、上記桁上げ入力値とその反転値との何れか一方を選択して加算出力値として導出するトランスミッションゲートとを備えることを特徴とする。

【0007】

【作用】本発明の作用について表1をもとに説明する。表1において、x、yは半導体論理回路の加算器における2つのデータ入力値のことで、ノード1、SUM、C-IN、C-OUTはそれぞれx、yのエクスクルーシブオアを取った中間和出力、3つの入力信号の加算出力信号、下位桁からの桁上げ入力信号、上位桁への桁上げ出力信号のことである。まずx、y共にハイかローの時つまりノード1がローの時、C-OUTにはxもしくはyが、SUMにはC-INが出力される。また、x、yがそれぞれ別の値を取る時つまりノードがハイの時、C-OUTにはC-INが、SUMにはC-INの反転信号がそれぞれ出力される。以上のアルゴリズムを元にトランスミッションゲート、インバータのみで回路を構成することにより、消費電力を小さくし、かつ桁上げ信号の伝搬速度を速めることができる。

【0008】

【表1】

x	y	ノード1	C-OUT	SUM
0	0	0	x/y	C-IN
0	1	1	C-IN	C-IN
1	0	1	C-IN	C-IN
1	1	0	x/y	C-IN

【0009】

【実施例】本発明の一実施例の加算回路を図1に示す。図1において、16、17は2進入力x、yの入力端子であり、入力端子18、出力端子19はそれぞれ下位桁からの桁上げ入力C-INおよび上位桁への桁上げ出力C-OUTの端子である。また20は加算出力SUMの出力端子である。11～15はインバータであり、21～26はトランスミッションゲートである。

【0010】トランスミッションゲート21、22は、加算入力x、yの一方(例えばy)の値によって開閉が制御されて、加算入力xの一方(例えばx)とその値をインバータ11によって反転した値の何れか一方を選択して、中間和出力としてノード1に出力する。インバータ12は、トランスミッションゲート21、22の相補駆動用である。

【0011】トランスミッションゲート23、24は、ノード1の中間和値によって開閉が制御されて、加算入力xの一方(例えばy)と端子18の桁上げ入力C-INとの何れか一方を選択して、桁上げ出力C-OUTとして端子19に出力する。インバータ13は、トランスミッションゲート23、24、25、26の相補駆動用である。

【0012】トランスミッションゲート25、26は、ノード1の中間和値によって開閉が制御されて、端子18の桁上げ入力C-INとその値をインバータ14によって反転した値の何れか一方を選択して、

加算出力SUMとしてインバータ15を介して端子20に出力する。

【0013】図1の加算器の動作を説明すると、入力端子16、17に与えられる入力信号x、yについて入力信号yがローの場合、入力信号yによりトランスミッションゲート21が開き、入力信号xはそのまの値でノード1に送られる。また入力信号yがハイの場合、入力信号yによりトランスミッションゲート22が開きインバータ11により入力信号xを反転した値がノード1に送られる。この動作により、1ビット同志の2数の和信号が中間和としてノード1に出力される。

【0014】次に入力信号x、yが共に同じ値を取る場合、中間のノード1に出力される信号はローであるが、この中間和信号によりトランスミッションゲート23が開き、入力信号yが桁上げ信号として出力端子19に出力される。また中間和ノード1がハイの場合、トランスミッションゲート24が開き、入力端子18に供給されている桁上げ入力信号C-INが桁上げ出力信号C-OUTとして出力端子19に出力される。これによって最終的な桁上げ信号が確定する。

【0015】さらに中間和ノード1からの和信号と桁上げ入力信号C-INTとの和を取るため、入力信号x、yから中間和ノード1までの回路と同じ回路(インバータ14及びトランスミッションゲート25、26から成る)を使用することによって最終的な和信号SUMが確定する。この構成によって3入力2出力の加算器が得られる。

【0016】この回路ではトランスミッションゲートを使用しているため消費電力はかなり小さくなる。また桁上げ入力信号C-INは、中間和ノード1への出力が確定すればトランスミッションゲート1個を通過するだけで桁上げ出力端子19へ出力できる。

【0017】本回路を桁上げ出力信号C-OUTと桁上げ入力信号C-INを接続することにより複数個互いに直列に接続して使用した場合、表1から、中間和ノード1がローの場合は、下位ビットの桁上げ入力信号の値にかかわらずそのビットの入力信号xまたはyがそのビットの桁上げ出力信号C-OUTに対応する。この場合下位からの桁上げ信号の入力を待たずに上位の加算が可能になる。また中間和ノード1がハイの場合は、下位ビットの桁上げ入力信号C-INがそのまま桁上げ出力信号C-OUTとなって上位ビットに伝搬するため、その部分の回路構成はトランスミッションゲート1個という簡単な構成になり桁上げ信号の伝搬速度を速めることができる。

【0018】なお、本発明は、実施例として示した図1のようなCMOS回路構成だけでなくNMOSのみの回路でも構成できる。

【0019】

【発明の効果】以上説明したように本発明によれば、2進表現された信号を入力する3つの端子からの3つの信号の和を第1出力端子(加算出力)、第2出力端子(桁上げ出力)に分けて出力する際に、第1出力端子への加算出力信号を決定するよりも先に、3つの入力端子のうちの決まった2つからの信号の和である中間和信号によって、第2出力端子への桁上げ出力を決定する特徴により、桁上げ信号の伝搬速度の向上を図れるから、論理演算速度を格段に向上することができる。

【0020】また本発明によれば、インバータとトランスミッションゲートで全加算器を構成できるので、演算速度を高めると共に、消費電力を少なくすることができる。

図の説明

【図面の簡単な説明】

【図1】本発明の一実施例を示す2進全加算器の回路図である。

【図2】従来の2進加算器の回路図である。

【符号の説明】

11～15 インバータ

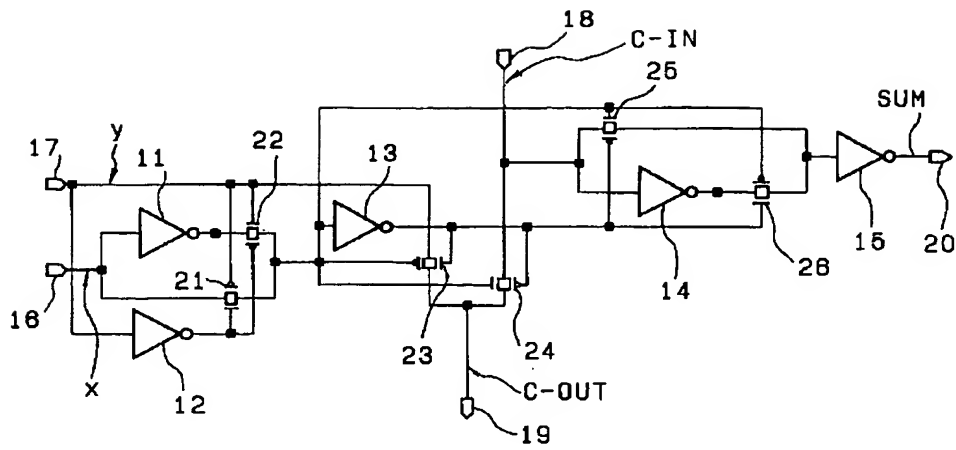
21～26 トランスミッションゲート

16～18 入力端子

19、20 出力端子

図面

【図1】



【図2】

